

CLIPPEDIMAGE= JP401099230A  
PAT-NO: JP401099230A  
DOCUMENT-IDENTIFIER: JP 01099230 A  
TITLE: FORMING METHOD FOR ISOLATING REGION

PUBN-DATE: April 18, 1989

INVENTOR-INFORMATION:

NAME

EZAKI, TAKEYA

ASSIGNEE-INFORMATION:

NAME

MATSUSHITA ELECTRIC IND CO LTD

COUNTRY

N/A

APPL-NO: JP62257575

APPL-DATE: October 13, 1987

INT-CL (IPC): H01L021/76; H01L021/94

US-CL-CURRENT: 438/FOR.227,438/427

ABSTRACT:

PURPOSE: To reduce etching quantity in an etching-back and to suppress the excess generation of a stress due to volumetric expansion by forming polysilicon only on the sidewall of a trench, thermally oxidizing it, and forming an isolating region.

CONSTITUTION: A trench 2 is formed on a silicon substrate 1, and a whole surface is covered with a nitride film 3 as an oxidation preventive film. A polysilicon 4 is deposited thereon. When the thickness t<SB>p</SB> of the silicon 4 is removed, sidewall polysilicons 41, 41' remain only on the side face of the trench. The silicon 41, 41' are thermally oxidized. Oxide films 5, 5' are grown, and in contact with each other thereunder. The films 5, 5' are grown to the top of the trench. Thus, etching amount in an etching-back is reduced, and the excess generation of a stress due to volumetric expansion is suppressed.

COPYRIGHT: (C)1989,JPO&Japio

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平1-99230

⑪ Int.Cl.<sup>4</sup>

識別記号

庁内整理番号

⑬ 公開 平成1年(1989)4月18日

H 01 L 21/76  
21/94

L-7638-5F  
Z-6708-5F

審査請求 未請求 発明の数 1 (全3頁)

⑭ 発明の名称 分離領域形成方法

⑮ 特 願 昭62-257575

⑯ 出 願 昭62(1987)10月13日

⑰ 発 明 者 江 崎 豪 弥 大阪府門真市大字門真1006番地 松下電器産業株式会社内  
⑱ 出 願 人 松下電器産業株式会社 大阪府門真市大字門真1006番地  
⑲ 代 理 人 弁理士 中尾 敏男 外1名

明 細 書

1、発明の名称

分離領域形成方法

2、特許請求の範囲

(1) 半導体基板の一主面に分離用のトレンチを形成し、このトレンチ近傍を少くとも含む全表面を酸化防止膜で覆い、前記トレンチ側面のみを覆う如く多結晶シリコン膜を形成した後熱酸化を行ない、前記多結晶シリコンの一部を酸化膜に転換して絶縁化することを特徴とする分離領域形成方法。

(2) トレンチ側面のみを覆う如く多結晶シリコン膜を形成するに際しその膜厚をおおよそ前記トレンチ巾の1/4とすることを特徴とする特許請求の範囲第1項記載の分離領域形成方法。

3、発明の詳細な説明

産業上の利用分野

本発明は同一半導体基板上に多数の素子を集積して成るモノリシック集積回路の素子間分離に関するものである。

従来の技術

半導体集積回路の素子間分離には基板を選択的に酸化するLOCOS法が長い間用いられているが、最近の設計寸法の微細化に伴ないより高集積化に適した新たな方法が種々検討されている。

そのひとつに、1982アイ・イー・ディ・エム(I.E.D.M.; 国際電子デバイス学会)P.237に開示されたようなトレンチ内にポリシリコン(または絶縁物)を埋設する方法がある。第2図(a), (b)に示すように、これは基板21内のトレンチ221, 222に絶縁膜231を介してポリシリコン26を気相成長法で堆積しドライエッチ法でエッチドックして埋設する。このあとポリシリコン261, 261'の表面を熱酸化して分離領域形成が完了する。

発明が解決しようとする問題点

トレンチ内に絶縁膜・ポリシリコン等を埋設する方法は種々提案されているが、これらに共通しているのはエッチバックを用いるためウエハー面内でのエッチレートのばらつきがそのまま埋設物

の形状に影響を与えるという点である。第2図に示すようにポリシリコン261, 261'はその高さが異なる。分離領域の表面はできるだけ平坦であることが後の配線形成にとって重要であるが、従来の埋込みによる方法ではウエハー全面に於て平坦な表面を形成することが困難であった。それは埋込法では厚い膜を堆積しエッチバックするため、エッチバックのばらつきはエッチ量に比例するからである。

問題点を解決するための手段

本発明は、トレンチ内へポリシリコンを埋設するに際し、トレンチ全域ではなくその側壁にのみ形成しそれを熱酸化することで分離領域を形成する分離領域形成方法である。

作用

本発明では堆積すべきポリシリコンの膜厚が薄いのでエッチバックにおけるエッチ量も少ない。

ポリシリコンが酸化されトレンチ両側壁から成長した酸化膜が互いに接すると、その接合部では下方になる程酸素の供給量が少ないので酸化膜の

ポリシリコンの高さHのばらつき $\Delta H$ も少ない。エッチレートは通常20%程度ばらつくので $\Delta H \approx 0.06 \mu\text{m}$ 程度である。

第1図(c)では、側壁ポリシリコン41, 41'を熱酸化する。この図はその途中の状態、それぞれ酸化膜5, 5'が成長し、その下方で互いに接触している。トレンチ側面が傾斜しているため、酸化膜5, 5'はその下方より互いに接触しはじめ、その接触部は次第に上方へ移っていく。

次に第1図(d)では、トレンチ上部まで酸化膜5, 5'が成長した状態である。ポリシリコン41, 41'はトレンチ下方では余り酸化されず次第にトレンチ底部のコーナに残存する形状になる。これは酸化膜5, 5'が接触したあとでは、酸化膜表面からの距離が遠くなり酸素供給量が低下するためである。酸化膜5, 5'が成長しつづけその表面が上方へ伸びていっても、トレンチ底部では酸化は遅くなっているため過剰な圧縮応力が抑制されている。

なお、ポリシリコン41, 41'に高濃度の磷

成長が遅くなる。従ってポリシリコンが不必要に酸化され酸化膜が成長する際の体積膨張による応力が過剰に発生することが抑制される。

実施例

本発明の一実施例を第1図(a)~(d)に沿って説明する。

第1図(a)では、シリコン基板1の主面に巾約 $1 \mu\text{m}$ 深さ $2 \mu\text{m}$ のトレンチ2を形成し、全面を酸化防止膜としての窒化膜3で被覆する。この時トレンチ側面と主面のなす角 $\theta$ は $90^\circ$ 以下であること、但し余り小さいと高密度化できないので $\theta = 80^\circ \sim 85^\circ$ 程度に設定する。この上から $0.3 \mu\text{m}$ 厚程度のポリシリコン4を堆積する。この膜厚 $t_p$ はトレンチ2の巾の $1/4$ より若干厚くなるように選んである。

また第1図(b)では、次に異方性のある反応性スパッタエッチ法によりポリシリコンの膜厚 $t_p$ を除去するとトレンチ側面にのみ側壁ポリシリコン41, 41'が残存する。このときポリシリコンのエッチ量が $t_p \approx 0.3 \mu\text{m}$ 程度と少ないのでポ

ロロンを添加しておくことで酸化膜5, 5'の粘性が低下するので、応力および表面平坦度の両面に於てなお好ましい結果が得られる。

発明の効果

(1) 分離領域の表面形状が一様である。

このことは、後工程での配線形成を容易にするだけでなく、デバイスの電気特性の均一性向上にも寄与するものである。それはデバイス寸法がサブミクロン領域にはいると分離領域の形状の影響を受けるためである。

(2) 分離領域の形成に熱酸化を用いているにもかかわらず応力が少ない。

このことは結晶欠陥の抑制につながり、従って電気特性や歩留りの向上に寄与する。

#### 4、図面の簡単な説明

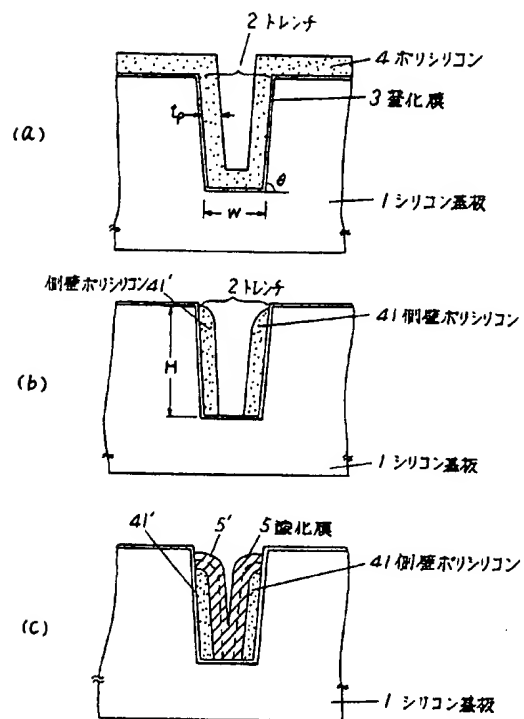
第1図(a)~(d)は本発明の分離領域形成方法の一実施例のプロセス工程断面図、第2図(a), (b)は従来例の分離領域形成方法のプロセス工程の断面図である。

1……シリコン基板、2……トレンチ、3……

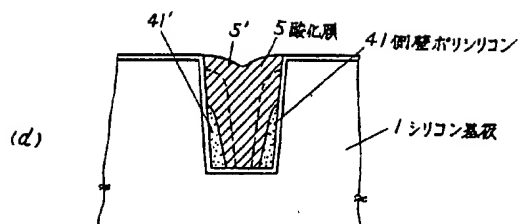
窒化膜、4……ポリシリコン、5、5'……酸化  
膜、41、41'……側壁ポリシリコン。

代理人の氏名 弁理士 中 尾 敏 男 ほか1名

第 1 図



第 1 図



第 2 図

